

4-2-02
B

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re the Application of : Eiki HASHIMOTO
Filed: : Concurrently herewith
For: : A SEMICONDUCTOR CIRCUIT DESIGNING.....
Serial No. : Concurrently herewith



Assistant Commissioner for Patents
Washington, D.C. 20231

November 16, 2001

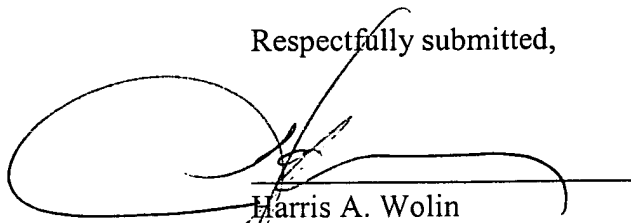
PRIORITY CLAIM AND
SUBMISSION OF PRIORITY DOCUMENT

S I R:

Applicant hereby claims priority under 35 USC 119 from **JAPANESE** patent application no. **2000-354306** filed **November 21, 2000**, certified copy of which is attached hereto.

Any fee, due as a result of this paper, not covered by an enclosed check, may be charged to Deposit Acct. No. 50-1290.

Respectfully submitted,


Harris A. Wolin
Reg. No. 39,432

ROSENMAN & COLIN, LLP
575 MADISON AVENUE
IP Department
NEW YORK, NEW YORK 10022-2584
DOCKET NO.: NEKU 19.181
TELEPHONE: (212) 940-8800

日 本 国 特 許 庁
JAPAN PATENT OFFICE

JCS55 U.S. PTO
10/015209
11/16/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2000年11月21日

出 願 番 号
Application Number:

特願2000-354306

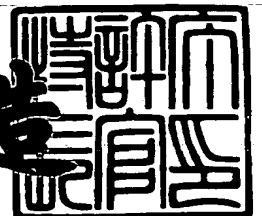
出 願 人
Applicant(s):

エヌイーシーマイクロシステム株式会社

2001年 8月31日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3079723

| | |
|-----------|---------------------------|
| 【書類名】 | 特許願 |
| 【整理番号】 | 01211282 |
| 【提出日】 | 平成12年11月21日 |
| 【あて先】 | 特許庁長官 殿 |
| 【国際特許分類】 | H01L 21/82 |
| 【発明者】 | |
| 【住所又は居所】 | 神奈川県川崎市中原区小杉町一丁目403番53 日本 |
| | 電気アイシーマイコンシステム株式会社内 |
| 【氏名】 | 橋本 栄喜 |
| 【特許出願人】 | |
| 【識別番号】 | 000232036 |
| 【氏名又は名称】 | 日本電気アイシーマイコンシステム株式会社 |
| 【代理人】 | |
| 【識別番号】 | 100102864 |
| 【弁理士】 | |
| 【氏名又は名称】 | 工藤 実 |
| 【選任した代理人】 | |
| 【識別番号】 | 100099553 |
| 【弁理士】 | |
| 【氏名又は名称】 | 大村 雅生 |
| 【手数料の表示】 | |
| 【予納台帳番号】 | 053213 |
| 【納付金額】 | 21,000円 |
| 【提出物件の目録】 | |
| 【物件名】 | 明細書 1 |
| 【物件名】 | 図面 1 |
| 【物件名】 | 要約書 1 |
| 【包括委任状番号】 | 9815548 |
| 【プルーフの要否】 | 要 |

【書類名】 明細書

【発明の名称】 半導体回路設計装置および半導体回路設計方法

【特許請求の範囲】

【請求項 1】 半導体集積回路の論理設計をする回路設計部と、

前記半導体集積回路の回路特徴と前記半導体集積回路のレイアウト設計の前に
必要な受入検査の検査項目とを対応づける検査項目データベース部とを含み、

前記回路設計部は、

前記半導体集積回路である対象半導体集積回路の前記回路特徴である対象回路
特徴情報を生成し、

前記検査項目データベース部から前記対象回路特徴情報に対応する前記検査項
目である対象検査項目を取得し、

前記対象検査項目に基づいて前記対象半導体集積回路の論理設計をする
半導体回路設計装置。

【請求項 2】 請求項 1 において、

前記回路設計部と前記検査項目の不合格の頻度とを対応づける品種開発履歴デ
ータベースを更に含み、

前記対象検査項目は、前記不合格の頻度が少ない検査項目が免除される
半導体回路設計装置。

【請求項 3】 請求項 1 において、

前記レイアウト設計をするレイアウト設計部を更に含み、

前記回路設計部は、

前記論理設計された前記対象半導体集積回路の前記受入検査を実施し、

前記対象半導体集積回路とともに前記受入検査の検査結果をレイアウト設計部
に提供する

半導体回路設計装置。

【請求項 4】 請求項 1 において、

前記検査項目データベースは、前記回路設計部に属している

半導体回路設計装置。

【請求項 5】 請求項 3 において、

前記検査項目データベースは、前記レイアウト設計部に属している
半導体回路設計装置。

【請求項 6】請求項 3 において、
前記レイアウト設計部は、複数部が配置され、
前記検査項目データベースは、前記複数部の一部に属している
半導体回路設計装置。

【請求項 7】請求項 3 において、
前記回路設計部と異なり前記レイアウト設計部と異なるデータセンタ部を更に
含み、

前記検査項目データベースは、前記データセンタ部に属している
半導体回路設計装置。

【請求項 8】半導体集積回路の回路特徴と実施すべき検査項目とを対応づ
ける検査項目データベースを作成すること、

論理設計する対象半導体集積回路に対応する前記検査項目である対象検査項目
を回路設計者に通知すること、

前記対象検査項目に基づいて前記対象半導体集積回路を論理設計すること
とを含む半導体回路設計方法。

【請求項 9】請求項 8 において、
前記対象検査項目に合格した前記対象半導体集積回路をレイアウト設計者に提
供すること
を更に含む半導体回路設計方法。

【請求項 10】請求項 9 において、
前記回路設計者と前記検査項目と前記検査項目の不合格の頻度とを対応づける
品種開発履歴データベースを作成すること、

前記対象検査項目から前記回路設計者に対応する前記頻度が少ない検査項目を
免除すること

とを更に含む半導体回路設計方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体回路設計装置および半導体回路設計方法に関し、特に、A S I C 開発のシリコンインターフェース分野に利用され、回路設計およびレイアウト設計の工数がより低減する半導体回路設計装置および半導体回路設計方法に関する。

【 0 0 0 2 】

【従来の技術】

半導体の設計では、回路の大規模化・複雑化に伴い回路設計とレイアウト設計とで分業化が進み、それぞれで自動化が進んでいる。このような分業化では、工程の後戻りを最小にするためにインターフェースされた回路情報が妥当かどうかを検討するための受入検査を実施している。このような受入検査の検査項目は、回路構成、使用されるテスト容易化手法等の回路特徴により異なり、回路特徴により実施すべき受入検査項目が決定される。

【 0 0 0 3 】

回路設計者が作成した回路情報を元にレイアウト設計者が品種毎に全ての必要な受入検査を行っており、受入検査の実行・結果の確認に工数がとられている。または、回路設計者に実施した検査項目を問い合わせることによりレイアウト設計者側での受入検査を省略する場合もあるが、回路設計者側の回答（記入）ミスや誤解等により誤った結果が伝えられ、結果として工程の後戻り（イタレーション）が発生することが多々ある。

【 0 0 0 4 】

特開平 1 0 - 1 9 8 7 0 8 号公報に示される公知の図面検証システムは、図面を示すデータを記憶する第 1 記憶手段と、所定の条件を示すデータを記憶する第 2 記憶手段と、図面が所定の条件に適合するか否かを判定する判定手段とを有する。このような図面検証システムは、回路設計者の経験やノウハウに基づいて指定される事項を正確に反映してプリント基板レイアウトの図面が生成されたか否かを人手によらないで自動的に検証することが可能となり、短時間で高品質の図面を作成することができる。

【 0 0 0 5 】

この図面検証システムは、レイアウト設計者が利用する図面検証システム単独での検査項目の決定および検査実施に関するものであり、その適用可能部門がレイアウト設計側に限られている。そのため、回路設計者が問題を回避する方法については開示されていない。

【 0 0 0 6 】

【発明が解決しようとする課題】

本発明の課題は、設計不具合による再設計などのイタレーションを低減する半導体回路設計装置および半導体回路設計方法を提供することにある。

本発明の他の課題は、検査項目が低減する半導体回路設計装置および半導体回路設計方法を提供することにある。

本発明の更に他の課題は、回路設計者の工数負担を低減する半導体回路設計装置および半導体回路設計方法を提供することにある。

本発明の更に他の課題は、レイアウト設計者の工数負担を低減する半導体回路設計装置および半導体回路設計方法を提供することにある。

【 0 0 0 7 】

【課題を解決するための手段】

その課題を解決するための手段が、下記のように表現される。その表現中に現れる技術的事項には、括弧 () 付きで、番号、記号等が添記されている。その番号、記号等は、本発明の実施の複数・形態又は複数の実施例のうちの少なくとも 1 つの実施の形態又は複数の実施例を構成する技術的事項、特に、その実施の形態又は実施例に対応する図面に表現されている技術的事項に付せられている参照番号、参照記号等に一致している。このような参照番号、参照記号は、請求項記載の技術的事項と実施の形態又は実施例の技術的事項との対応・橋渡しを明確にしている。このような対応・橋渡しは、請求項記載の技術的事項が実施の形態又は実施例の技術的事項に限定されて解釈することを意味しない。

【 0 0 0 8 】

本発明による半導体回路設計装置は、半導体集積回路の論理設計をする回路設計部 (1) と、半導体集積回路の回路特徴と半導体集積回路のレイアウト設計の前に必要な受入検査の検査項目とを対応づける検査項目データベース (6) 部と

を含み、回路設計部（１）は、半導体集積回路である対象半導体集積回路の回路特徴である対象回路特徴情報を生成し、検査項目データベース（６）部から対象回路特徴情報に対応する検査項目である対象検査項目を取得し、対象検査項目に基づいて対象半導体集積回路の論理設計をする。

【0009】

このような論理設計により、受入検査で不合格がより少ない設計データをレイアウト設計者に提供することができる。

【0010】

回路設計部（１）と検査項目の不合格の頻度とを対応づける品種開発履歴データベース（７）を更に含み、対象検査項目は、不合格の頻度が少ない検査項目が免除される。このような免除は、回路設計者の設計工数を軽減する。

【0011】

レイアウト設計をするレイアウト設計部（２）を更に含み、回路設計部（１）は、論理設計された対象半導体集積回路の受入検査を実施し、対象半導体集積回路とともに受入検査の検査結果をレイアウト設計部（２）に提供する。このように回路設計者が受入検査を実施することにより、レイアウト設計者の工数を軽減する。

【0012】

検査項目データベース（６）は、回路設計部（１）に属している。または、検査項目データベース（６）はレイアウト設計部（２）に属している。または、回路設計部（１）とレイアウト設計部（２）との両方が、それぞれ検査項目データベース（６）を備えていても構わない。レイアウト設計部は、複数部が配置され、検査項目データベース（６）は、複数部の一部に属していることが更に好ましい。ここで一部とは、複数部の全てではなく、１つまたは複数であるレイアウト設計部である。

【0013】

回路設計部（１）と異なりレイアウト設計部（２）と異なるデータセンタ部を更に含み、検査項目データベース（６）は、データセンタ部に属している。検査項目データベース（６）は、データセンタ部により一元管理され、更新が容易で

ある。

【0014】

本発明による半導体回路設計方法は、半導体集積回路の回路特徴と実施すべき検査項目とを対応づける検査項目データベース（6）を作成すること、論理設計する対象半導体集積回路に対応する検査項目である対象検査項目を回路設計者に通知すること、対象検査項目に基づいて対象半導体集積回路を論理設計することを含む。このような論理設計により、受入検査で不合格がより少ない設計データをレイアウト設計者に提供することができる。

【0015】

対象検査項目に合格した対象半導体集積回路をレイアウト設計者に提供することを更に含む。このような提供によれば、レイアウト設計者から対象半導体集積回路の再論理設計を要求されることが低減される。

【0016】

回路設計者と検査項目と検査項目の不合格の頻度とを対応づける品種開発履歴データベース（7）を作成すること、対象検査項目から回路設計者に対応する頻度が少ない検査項目を免除することとを更に含む。このような免除は、回路設計者の設計工数を軽減する。

【0017】

【発明の実施の形態】

図面を参照して、本発明による半導体設計システムの実施の形態は、複数のエンジニアリングワークステーション（以下、「EWS」と略記される）が互いに接続されている。その複数のEWSは、回路設計EWS1とレイアウト設計EWS2とからなり、各々がネットワーク3を介して互いに接続されている。

【0018】

回路設計EWS1は回路設計者毎に設けられ、回路設計に使用される。例えば、回路設計EWS1は回路設計者Aに属し、回路設計EWS1'は回路設計者Bに属している。回路設計者には、それぞれ異なる回路設計者IDが割り当てられている。回路設計者IDは、回路設計者の識別および回路設計者がレイアウト設計EWS2にアクセスする権利を識別するために使用される。回路設計者は、1

人の個人または1つグループに配属されている複数人である。そのグループは、企業、企業内の部門、部門内の設計グループなどである。回路設計EWS1は、チェックシート4を備えている。チェックシート4は、半導体集積回路の回路特徴と検査項目と検査結果とが記入されているインターフェイスファイルである。チェックシート4は、回路設計毎に作成される。

【0019】

レイアウト設計EWS2は、レイアウト設計者に属し、レイアウト設計に使用される。レイアウト設計者は、各回路設計者に回路設計者IDを提供する。レイアウト設計EWS2は、検査項目データベース6と品種開発履歴データベース7とを備えている。検査項目データベース6は、回路特徴とその回路特徴に必要な検査項目とを対応づけてが記入されている。品種開発履歴データベース7は、設計した回路設計者の回路設計者IDと、過去に設計した半導体集積回路の回路特徴と、その開発過程で発生したエラーの頻度とを対応づけて記入されている。

【0020】

図2は、チェックシート4の具体例を示している。チェックシート4には、回路特徴と検査項目と検査結果とが記入されている。回路特徴として、テクノロジー、コンディション、品種名、パッケージ、ピン数、テスト容易化手法の利用の有無が記入される。テスト容易化手法は、スキヤンの使用、バウンダリスキヤンの使用およびRAMの使用である。検査項目として、ネットリストチェック、パターンチェック、スキヤンチェックおよびタイミングチェックなどが記入されている。

【0021】

受入検査される本例による半導体集積回路は、テクノロジーがCMOS9HDであり、コンディションが3.3Vであり、品種名が65956E00であり、パッケージがTBGであり、ピン数が420ピンである。更に、テスト容易化手法のスキヤン方式を使用し、バウンダリスキヤンを使用せず、RAMを使用していない。この半導体集積回路に必要な検査項目は、ネットリストチェック、パターンチェック、スキヤンチェックおよびタイミングチェックである。検査結果は、ネットリストチェックではエラーがなく、パターンチェックにエラーが2箇所

あり、スキャンチェックが実行されておらず、タイミングチェックにエラーがない。

【0022】

図3は、検査項目データベース6の具体例を示している。半導体集積回路は、回路特徴によって検査項目が異なっている。検査項目データベース6は、半導体集積回路の各回路特徴に必要な検査項目が記録されている。回路特徴として、基本構成、スキャンの使用、バウンダリスキャンの使用、RAMの使用およびテストバス構成などが列挙されている。検査項目は、ネットリストチェック、パターンチェック、スキャンチェック、バウンダリスキャンチェック、タイミングチェック、テスト端子チェックおよびRAMチェックが挙げられている。

【0023】

受入検査される半導体集積回路が基本構成のみで設計されているならば、実施しなければならない受入検査の検査項目は、ネットリストチェック、パターンチェックおよびタイミングチェックである。受入検査される半導体集積回路がテスト容易化手法であるスキャン方式を使用しているならば、実施しなければならない受入検査の検査項目は、ネットリストチェック、パターンチェック、スキャンチェックおよびタイミングチェックである。

【0024】

受入検査される半導体集積回路がテスト容易化手法であるバウンダリスキャン方式を使用しているならば、実施しなければならない受入検査の検査項目は、ネットリストチェック、パターンチェック、バウンダリスキャンチェックおよびタイミングチェックである。受入検査される半導体集積回路がRAMを使用しているならば、ネットリストチェック、パターンチェック、タイミングチェックおよびRAMチェックである。受入検査される半導体集積回路がテストバス構成であるならば、実施しなければならない受入検査の検査項目は、ネットリストチェック、パターンチェック、タイミングチェックおよびテスト端子チェックである。

【0025】

このような検査項目データベース6は、実施すべき受入検査の検査項目を明確にする。この結果、受入検査の実施を確実にする。

【 0 0 2 6 】

図 4 は、品種開発履歴データベース 7 の具体例を示している。品種開発履歴データベース 7 は、各半導体集積回路毎に、設計者 ID と回路特徴と検査結果とが対応づけて記入されている。

【 0 0 2 7 】

例えば、回路設計者 ID が A A A の回路設計者が設計し、品種名 6 5 9 5 E 0 0 の半導体集積回路は、テクノロジーが C M O S 9 H D であり、コンディションが C M O S 3 , 3 V であり、パッケージが T B G である。この半導体集積回路の各種検査結果は、9 月 1 1 日に実施された受入検査では、ネットリストチェックにエラーがなく、パターンチェックにエラーが 2 箇所あり、スキャンチェックが実行されておらず、タイミングチェックにエラーがない。

【 0 0 2 8 】

9 月 1 4 日に実施された再受入検査では、ネットリストチェックにエラーがなく、パターンチェックにエラーがなく、スキャンチェックが実行されておらず、タイミングチェックにエラーがない。9 月 1 8 日に実施されたバックアノテーションでは、ネットリストチェックにエラーはなく、パターンチェックにエラーが 2 箇所あり、スキャンチェックにエラーがなく、タイミングチェックにエラーがない。

【 0 0 2 9 】

図 5 および図 6 は、本発明による半導体設計システムの動作を示している。先ず、回路設計者は回路設計者 ID を回路設計 E W S 1 に入力する（ステップ S 1）。回路設計 E W S 1 は、入力された回路設計者 ID をレイアウト設計 E W S 2 にネットワーク 3 を介して送信する。

【 0 0 3 0 】

レイアウト設計 E W S 2 は、回路設計者 ID に基づいてアクセスの可否を判定する（ステップ S 2）。回路設計者 ID に問題ないと判断されると、アクセスが許可され、レイアウト E W S 2 は回路設計 E W S 1 にその旨を通知する。回路設計者は、アクセスが許可されると、設計する半導体集積回路の回路特徴を回路設計 E W S 1 に入力する。回路設計 E W S 1 は、その回路特徴をレイアウト設計 E

WS2に送信する（ステップS3）。

【0031】

レイアウト設計EWS2は、回路設計者IDと回路特徴とを取得し、検査項目データベース6に基づいて検査すべき検査項目を検索し、品種開発履歴データベース7に基づいて半導体集積回路を設計した回路設計者の過去のエラーを検索する（ステップS4）。レイアウト設計EWS2は、検索された検査項目とエラーとに基づいて今回実施すべき検査項目を決定する（ステップS5）。

【0032】

例えば、回路設計者が最後に開発した5品種で問題を起こしていない検査項目があれば、その検査項目の実施を免除する。品種開発履歴データベースの中にエラーが記録されている項目があれば実施すべき検査項目とする。このような免除により、検査項目の個数が回路設計者の経験・レベルにより削減され、回路設計者の負担が軽減される。回路設計者が複数人ならば、免除される検査項目がより多くなり、回路設計者の負担がより軽減する。

【0033】

レイアウト設計EWS2は、決定した実施すべき検査項目を回路設計EWS1に送信する。回路設計EWS1は、レイアウト設計EWS2から実施すべき検査項目を受信し、半導体集積回路の検査項目と回路特徴とをチェックシート4に記入する（ステップS6）。回路設計EWS1は、レイアウト設計EWS2から受信した過去のエラー内容を画面表示する。回路設計者は、過去のエラー内容と実施すべき検査項目に留意しながら論理回路を設計する（ステップS7）。回路設計者は、留意する項目が論理設計の初期に得られることから、レイアウト設計に不適当な論理設計を回避することができ、再設計（イタレーション）を回避することができる。

【0034】

論理回路の設計が完了したら、その論理回路の論理検証を実施する（ステップS8）。論理検証で不具合が発見されたならば、再度論理設計を行う。論理設計が完了した後、回路設計EWS1はチェックシート4に記入された受入検査項目をチェックし（ステップS9）、その検査結果をチェックシート4に追記する。

チェックシート4に記載された検査項目のうち不合格の項目があれば、再度論理設計を行う。このような再設計により、不要なイタレーションを未然に回避することができる。受入検査項目の全ての項目に問題なければ、回路設計EWS1はレイアウト設計EWS2に回路接続情報、パターンなどの設計データとともにチェックシート4を送信する（ステップS10）。

【0035】

レイアウト設計EWS2は、チェックシート4の受信に応答して、チェックシート4に記載された実行すべき検査項目と実行結果とを比較する。実行すべき検査項目に実行結果が記載されていない検査項目があれば未実行と判断して回路設計者に差し戻し、未実行の検査を依頼する（ステップS11）。受入検査の結果、レイアウトに適さない結果があったならば、回路設計者に差し戻して、再設計による改善を要求する（ステップS12）。全ての検査項目がレイアウトに問題なければ、その検査結果を回路特徴、回路設計者IDとともに品種開発履歴データベース7に記載する。

【0036】

その後、レイアウト設計者は、レイアウトを設計する（ステップS13）。レイアウト設計の後、バックアノテーションを行う（ステップS14）。バックアノテーションでは、レイアウト後の遅延にて半導体集積回路が所望の機能動作を行うかどうかを確認して、その結果を品質開発履歴データベース7に追記する。バックアノテーションの結果がNGであれば、回路設計者に差し戻して、再設計による改善を要求する。バックアノテーションの結果がOKであれば、EB処理が実行される（ステップS15）。

【0037】

なお、バックアノテーションは、回路設計者が実施しても構わない。このとき、レイアウト設計後、レイアウト設計データは、レイアウト設計EWS2から回路設計EWS1に送信され、回路設計EWS1がバックアノテーションを実行する。バックアノテーションがNGであれば、再度論理設計を行う。バックアノテーションがOKであれば、回路設計EWS1は、その旨レイアウト設計EWS2に送信する。レイアウト設計者は、バックアノテーションOKの通知に応答して

EB処理を行う。

【0038】

過去のエラー・問題点を回路特徴、回路設計者と対応させることにより、回路設計者は論理設計時に留意する項目を設計前に入手することができ、論理設計の段階で問題を回避することができる。また、回路設計者が受入検査を実施することにより、レイアウト設計者の受入検査が不要になり、レイアウト設計者の工数が低減する。更に、受入検査の結果の不備によるレイアウト設計者側から回路設計者に再設計を要求することが低減する。このような処理の分散化は、更にTAT短縮を図ることができる。

【0039】

図7および図8は、本発明による半導体設計システムの他の動作を示している。まず、回路設計者は回路設計者IDを回路設計EWS1に入力する（ステップS21）。回路設計EWS1は、入力された回路設計者IDをレイアウト設計EWS2にネットワーク3を介して送信する。

【0040】

レイアウト設計EWS2は、回路設計者IDに基づいてアクセスの可否を判定する（ステップS22）。回路設計者IDに問題ないと判断されると、アクセスが許可され、レイアウトEWS2は回路設計EWS1にその旨を通知する。回路設計者は、アクセスが許可されると、設計する半導体集積回路の回路特徴を回路設計EWS1に入力する（ステップS23）。回路設計EWS1は、その回路特徴をレイアウト設計EWS2に送信する。

【0041】

レイアウト設計EWS2は、回路設計者IDと回路特徴とを取得し、検査項目データベース6に基づいて検査すべき検査項目を検索し、品種開発履歴データベース7に基づいて半導体集積回路を設計した回路設計者の過去のエラーを検索する（ステップS24）。レイアウト設計EWS2は、検索された検査項目とエラーとに基づいて今回実施すべき検査項目を決定する（ステップS25）。例えば、回路設計者が最後に開発した5品種で問題を起こしていない検査項目があれば、その検査項目の実施を免除する。品種開発履歴データベースの中にエラーが記

録されている項目があれば実施すべき検査項目とする。レイアウト設計EWS 2は、決定した検査項目を回路設計EWS 1に送信する。

【0042】

回路設計EWS 1は、レイアウト設計EWS 2から実施すべき検査項目を受信し、半導体集積回路の検査項目と回路特徴とをチェックシート4に記入する（ステップS 2 6）。回路設計EWS 1は、レイアウト設計EWS 2から受信した過去のエラー内容を画面表示する。回路設計者は、過去のエラー内容に留意しながら論理回路を設計する（ステップS 2 7）。論理回路の設計が完了したら、その論理回路の論理検証を実施する（ステップS 2 8）。論理検証で不具合が発見されたならば、再度論理設計を行う。

【0043】

論理設計が完了した後、回路設計EWS 1はチェックシート4に記入された受入検査項目をチェックし（ステップS 2 9）、その検査結果をチェックシート4に追記する。チェックシート4に記載された検査項目のうち不合格の項目があれば、再度論理設計を行う。受入検査項目の全ての項目に問題なければ、回路設計EWS 1はレイアウト設計EWS 2に回路接続情報、パターンなどの設計データとともにチェックシート4を送信する（ステップS 3 0）。

【0044】

レイアウト設計EWS 2は、チェックシート4の受信に応答して、チェックシート4に記載された実行すべき検査項目と実行結果とを比較する（ステップS 3 1）。実行すべき検査項目に実行結果が記載されていない検査項目があれば、未実行と判断してその検査項目を検査する（ステップS 3 2）。受入検査の結果、レイアウトに適さない結果があったならば、回路設計者に差し戻して、再設計による改善を要求する（ステップS 3 3）。全ての検査項目がレイアウトに問題なければ、その検査結果を回路特徴、回路設計者IDとともに品種開発履歴データベース7に記載する。

【0045】

その後、レイアウト設計者は、レイアウトを設計する（ステップS 3 4）。レイアウト設計の後、バックアノテーションを行う（ステップS 3 5）。レイアウ

トEWS 2は、バックアノテーションの結果を品質開発履歴データベース7に追記する。バックアノテーションの結果がNGであれば、回路設計者に差し戻して、再設計による改善を要求する。なお、バックアノテーションは、先の実施の形態と同様にして回路設計者が実施しても構わない。バックアノテーションの結果がOKであれば、EB処理が実行される（ステップS 3 6）。

【0 0 4 6】

回路設計者が実施した受入検査の検査結果をチェックシート4に記入することにより、レイアウト設計者側の受入検査で同一の検査項目を再実行することをなくすることができる。その結果、レイアウト設計者の検査工数が削減される。更に、回路設計者は、受入検査の工数が削減でき、論理設計に専念できる。

【0 0 4 7】

図9および図10は、本発明による半導体設計システムの動作を示している。まず、回路設計者は回路設計者IDを回路設計EWS 1に入力する（ステップS 6 1）。回路設計EWS 1は、入力された回路設計者IDをレイアウト設計EWS 2にネットワーク3を介して送信する。

【0 0 4 8】

レイアウト設計EWS 2は、回路設計者IDに基づいてアクセスの可否を判定する（ステップS 6 2）。回路設計者IDに問題ないと判断されると、アクセスが許可され、レイアウトEWS 2は回路設計EWS 1にその旨を通知する。回路設計者は、アクセスが許可されると、設計する半導体集積回路の回路特徴を回路設計EWS 1に入力する。回路設計EWS 1は、その回路特徴をレイアウト設計EWS 2に送信する（ステップS 6 3）。

【0 0 4 9】

レイアウト設計EWS 2は、回路設計者IDと回路特徴とを取得し、検査項目データベース6に基づいて検査すべき検査項目を検索し、品種開発履歴データベース7に基づいて半導体集積回路を設計した回路設計者の過去のエラーを検索する（ステップS 6 4）。レイアウト設計EWS 2は、検索された検査項目とエラーとに基づいて今回実施すべき検査項目を決定する（ステップS 6 5）。例えば、回路設計者が最後に開発した5品種で問題を起こしていない検査項目があれば

、その検査項目の実施を免除する。品種開発履歴データベースの中にエラーが記録されている項目があれば実施すべき検査項目とする。レイアウト設計EWS2は、決定した検査項目を回路設計EWS1に送信する。

【0050】

回路設計EWS1は、レイアウト設計EWS2から実施すべき検査項目を受信し、半導体集積回路の検査項目と回路特徴とをチェックシート4に記入する（ステップS66）。回路設計EWS1は、レイアウト設計EWS2から受信した過去のエラー内容を画面表示する。回路設計者は、過去のエラー内容に留意しながら論理回路を設計する（ステップS67）。論理回路の設計が完了したら、その論理回路の論理検証を実施する（ステップS68）。論理検証で不具合が発見されたならば、再度論理設計を行う。

【0051】

回路設計EWS1は、論理検証の検査項目の中に実施すべき受入検査の検査項目と同等な項目を含んでいるかを調べて、含んでいるならばその項目の検査結果をチェックシート4に記入する（ステップS69）。このような記入により、同一検査の重複実行を防ぐことができ、回路設計者の工数削減ができる。その後、回路設計EWS1はチェックシート4に記入された受入検査項目をチェックし（ステップS70）、その検査結果をチェックシート4に追記する。

【0052】

チェックシート4に記載された検査項目のうち不合格の項目があれば、再度論理設計を行う。受入検査項目の全ての項目に問題なければ、回路設計EWS1はレイアウト設計EWS2に回路接続情報、パターンなどの設計データとともにチェックシート4を送信する（ステップS71）。

【0053】

レイアウト設計EWS2は、チェックシート4の受信に応答して、チェックシート4に記載された実行すべき検査項目と実行結果とを比較する。実行すべき検査項目に実行結果が記載されていない検査項目があれば未実行と判断して回路設計者に差し戻し、未実行の検査を依頼する（ステップS72）。受入検査の検査結果にレイアウトに適さない結果があったならば、回路設計者に差し戻して、再

設計による改善を要求する（ステップ S 7 3）。全ての検査項目がレイアウトに問題なければ、その検査結果を回路特徴、回路設計者 ID とともに品種開発履歴データベース 7 に記載する。

【 0 0 5 4 】

その後、レイアウト設計者は、レイアウトを設計する（ステップ S 7 4）。レイアウト設計の後、バックアノテーションを行う（ステップ S 7 5）。バックアノテーションでは、レイアウト後の遅延にて半導体集積回路が所望の機能動作を行うかどうかを確認して、その結果を品質開発履歴データベース 7 に追記する。

バックアノテーションの結果が NG であれば、回路設計者に差し戻して、再設計による改善を要求する。バックアノテーションの結果が OK であれば、E B 処理が実行される（ステップ S 7 6）。

【 0 0 5 5 】

図 1 1 は、本発明による半導体設計システムの実施の他の形態を示している。回路設計 EWS 1 は、チェックシート 4 を有し、検査項目データベース 6 を有している。レイアウト設計 EWS 2 は、品種開発履歴データベース 7 を有している。このとき、チェックシート 4 は、先の実施の形態と異なり、回路特徴と検査結果とが記入され、または、実行すべき検査項目とその検査結果とのみが記入されている。

【 0 0 5 6 】

図 1 2 および図 1 3 は、本発明の実施の他の形態による半導体設計システムの動作を示している。まず、回路設計者は設計する半導体集積回路の回路特徴を回路設計 EWS 1 に入力する（ステップ S 4 1）。回路設計 EWS 1 は、品種開発履歴データベース 7 に基づいて過去にその半導体集積回路を設計したときのエラーを検索する（ステップ S 4 2）。回路設計 EWS 1 は、検索された検査項目に基づいて今回実施すべき検査項目を決定する（ステップ S 4 3）。

【 0 0 5 7 】

回路設計 EWS 1 は、半導体集積回路の回路特徴と実施すべき検査項目とをチェックシート 4 に記入して（ステップ S 4 4）、過去のエラー内容を画面表示する。回路設計者は、過去のエラー内容に留意しながら論理回路を設計する（ステ

ップS45)。論理回路の設計が完了したら、その論理回路の論理検証を実施する(ステップS46)。論理検証で不具合が発見されたならば、再度論理設計を行う。

【0058】

論理設計が完了した後、回路設計EWS1はチェックシート4に記入された受入検査項目をチェックし(ステップS47)、その検査結果をチェックシート4に追記する。チェックシート4に記載された検査項目のうち不合格の項目があれば、再度論理設計を行う。受入検査項目の全ての項目に問題なければ、回路設計者は回路設計者IDを回路設計EWS1に入力する(ステップS48)。回路設計EWS1は、入力された回路設計者IDをレイアウト設計EWS2にネットワーク3を介して送信する。

【0059】

レイアウト設計EWS2は、回路設計者IDに基づいてアクセスの可否を判定する(ステップS49)。回路設計者IDに問題ないと判断されると、アクセスが許可され、レイアウトEWS2は回路設計EWS1にその旨を通知する。回路設計者は、アクセスが許可されると、回路設計EWS1はレイアウト設計EWS2に回路接続情報、パターンなどの設計データとともにチェックシート4を送信する(ステップS50)。

【0060】

レイアウト設計EWS2は、チェックシート4の受信に応答して、チェックシート4に記載された実行すべき検査項目と実行結果とを比較する(ステップS51)。実行すべき検査項目に実行結果が記載されていない検査項目があれば未実行と判断して回路設計者に差し戻し、未実行の検査を依頼する。受入検査の結果にレイアウトに適さない結果があったならば、回路設計者に差し戻して、再設計による改善を要求する(ステップS52)。全ての検査項目がレイアウトに問題なければ、その検査結果を回路特徴、回路設計者IDとともに品種開発履歴データベース7に記載する。

【0061】

その後、レイアウト設計者は、レイアウトを設計する(ステップS53)。レ

イアウト設計の後、バックアノテーションを行う（ステップ S 5 4）。バックアノテーションでは、レイアウト後の遅延にて半導体集積回路が所望の機能動作を行うかどうかを確認して、その結果を品質開発履歴データベース 7 に追記する。バックアノテーションの結果が NG であれば、回路設計者に差し戻して、再設計による改善を要求する。バックアノテーションの結果が OK であれば、E B 処理が実行される（ステップ S 5 5）。

【 0 0 6 2 】

このような半導体回路設計システムは、回路設計 E W S 1 がネットワーク 3 を介さないで実施すべき検査項目を明確にすることができる。過去のエラーを表示しないで、かつ、検査項目を免除しない論理設計では、回路設計 E W S 1 とレイアウト E W S 2 との間の通信が少なく、効率的である。なお、検査項目データベースは、回路設計 E W S 1 およびレイアウト設計 E W S 2 の両方に同時に備えられていてもかまわない。この場合、半導体回路設計システムは、本実施の形態と同様にして、図 1 2 および図 1 3 に示されるように動作する。

【 0 0 6 3 】

本発明による半導体設計システムの実施の更に他の形態は、レイアウト設計 E W S が複数備えられている。図 1 4 に示されるように、レイアウト設計 E W S 2 はレイアウト設計者 A に属し、レイアウト設計 E W S 2' はレイアウト設計者 B に属している。本発明の実施の更に他の形態による半導体設計システムは、データセンタ 8 を更に含んでいる。データセンタ 8 は、ネットワーク 3 に接続され、検査項目データベース 6 を有し、品種開発履歴データベース 7 を有している。

【 0 0 6 4 】

回路 E W S 1 は、データセンタ 8 からネットワーク 3 を介して検査項目データベース 6 のデータを取得する。レイアウト E W S 2 は、データセンタ 8 からネットワーク 3 を介して検査項目データベース 6 または品種開発履歴データベース 7 のデータを取得する。レイアウト E W S 2 は、更に、ネットワーク 3 を介して品種開発履歴データベース 7 のデータを更新する。

【 0 0 6 5 】

複数のレイアウト E W S がそれぞれ検査項目データベース 6 および品種開発履

歴データベース 7 を有している場合、データベースは各レイアウト EWS 2 により管理され、データベースは各レイアウト EWS 2 により更新される。本発明の実施の更に他の形態による半導体設計システムでは、検査項目データベース 6 または品種開発履歴データベース 7 が一元管理され、検査項目データベース 6 または品種開発履歴データベース 7 の更新が容易である。

【 0 0 6 6 】

なお、別個にデータセンタ 8 を設けないで、複数のレイアウト EWS 2 のうちの一部のレイアウト EWS 2 がデータセンタを兼務しても構わない。

【 0 0 6 7 】

【発明の効果】

本発明による半導体回路設計装置および半導体回路設計方法は、回路設計者に受入検査の検査項目を開示することにより、後工程での問題発生を予め回避することができる。

【図面の簡単な説明】

【図 1】

図 1 は、本発明による半導体設計システムの実施の形態を示すブロック図である。

【図 2】

図 2 は、チェックシートの具体例を示す表である。

【図 3】

図 3 は、検査項目データベースの具体例を示す表である。

【図 4】

図 4 は、品種開発履歴データベースの具体例を示す表である。

【図 5】

図 5 は、本発明による半導体設計方法の実施の形態を示すフローチャートである。

【図 6】

図 6 は、本発明による半導体設計方法の実施の形態を示すフローチャートである。

【図 7】

図 7 は、本発明による半導体設計方法の実施の他の形態を示すフローチャートである。

【図 8】

図 8 は、本発明による半導体設計方法の実施の他の形態を示すフローチャートである。

【図 9】

図 9 は、本発明による半導体設計方法の実施の更に他の形態を示すフローチャートである。

【図 1 0】

図 1 0 は、本発明による半導体設計方法の実施の更に他の形態を示すフローチャートである。

【図 1 1】

図 1 1 は、本発明による半導体設計システムの実施の他の形態を示すブロック図である。

【図 1 2】

図 1 2 は、本発明による半導体設計方法の実施の更に他の形態を示すフローチャートである。

【図 1 3】

図 1 3 は、本発明による半導体設計方法の実施の更に他の形態を示すフローチャートである。

【図 1 4】

図 1 4 は、本発明による半導体設計システムの実施の更に他の形態を示すブロック図である。

【符号の説明】

- 1 …回路設計 EWS
- 2 …レイアウト設計 EWS
- 3 …ネットワーク
- 4 …チェックシート

6…品種項目データベース

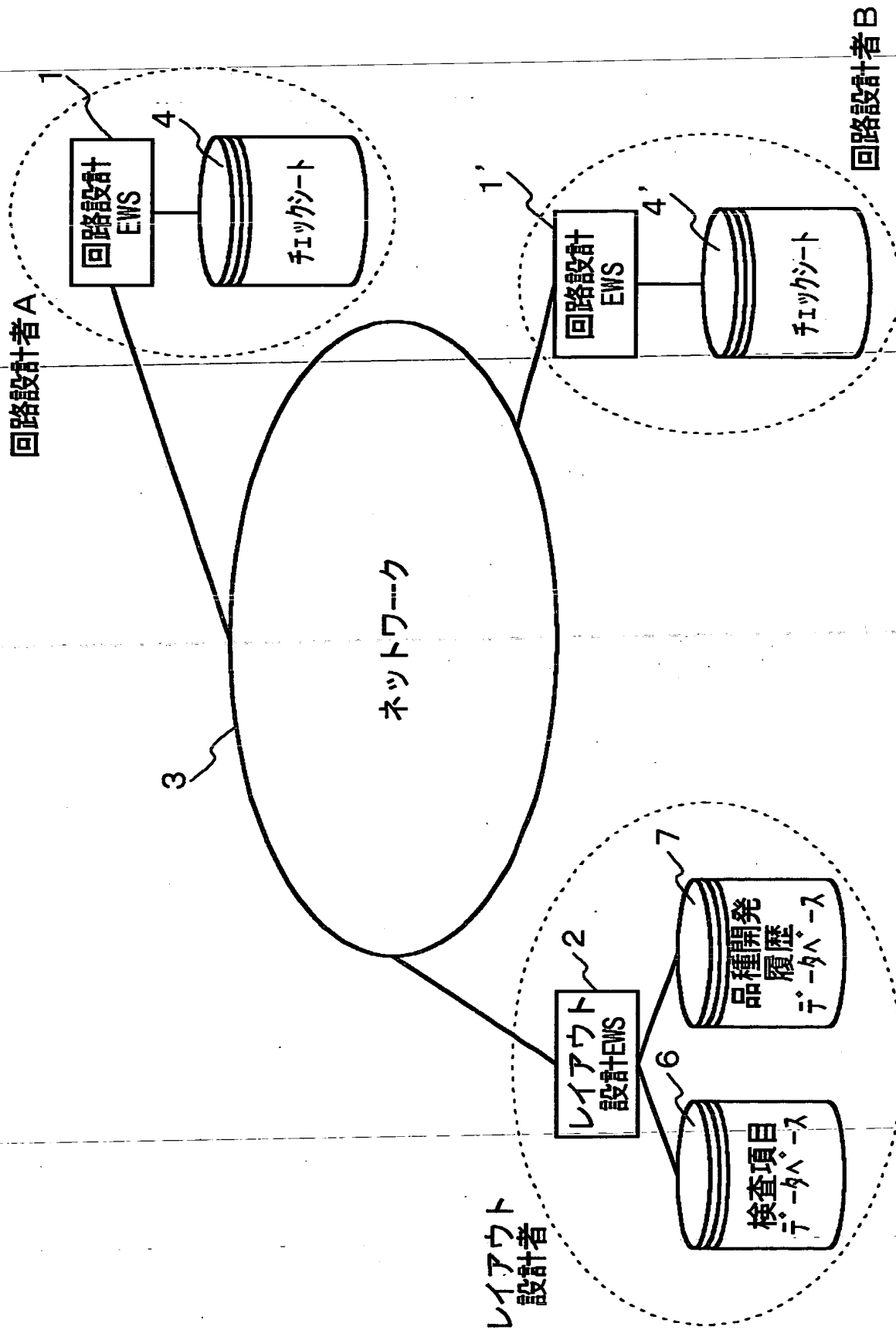
7…品種開発履歴データベース

8…データセンタEWS

【書類名】 図面

【図 1】

THIS PAGE BLANK (USPTO)



【図 2】

THIS PAGE BLANK (USPTO)

4 チェックシート

| 回路特徴 | | | | | | | 検査項目と結果 | | | | |
|---------|-----------|----------|-------|------|------|---------------|---------|----------------|-------------|--------------|---------------|
| テクノロジー | コンディション | 品種名 | パッケージ | PIN数 | SCAN | Boundary SCAN | RAM | ネットリスト チェック | ボタン チェック | SCAN チェック | タイミング チェック |
| CMOS9HD | cmos_3.3V | 65956E00 | TBG | 420 | 使用 | 未使用 | 未使用 | エラー0 | エラー2 | 未実行 | エラー0 |

【図 3】

6 検査項目データベース

| 回路特徴 | 検査項目 | | | | | | |
|----------------------------|----------------|-------------|--------------|-----------------------|---------------|---------------|-------------|
| | ネットリスト チェック | パタン チェック | SCAN チェック | バウンダリ SCAN チェック | タイミング チェック | テスト端子 チェック | RAM チェック |
| 基本構成 | 実行 | 実行 | | | 実行 | | |
| SCAN 使用 | 実行 | 実行 | 実行 | | 実行 | | |
| Boun dary SCAN 使用 | 実行 | 実行 | | 実行 | 実行 | | |
| RAM 使用 | 実行 | 実行 | | | 実行 | | 実行 |
| テストバス 構成 | 実行 | 実行 | | | 実行 | 実行 | |
| ... | ... | ... | ... | ... | ... | ... | ... |

【図 4】

7 品種開発履歴データベース

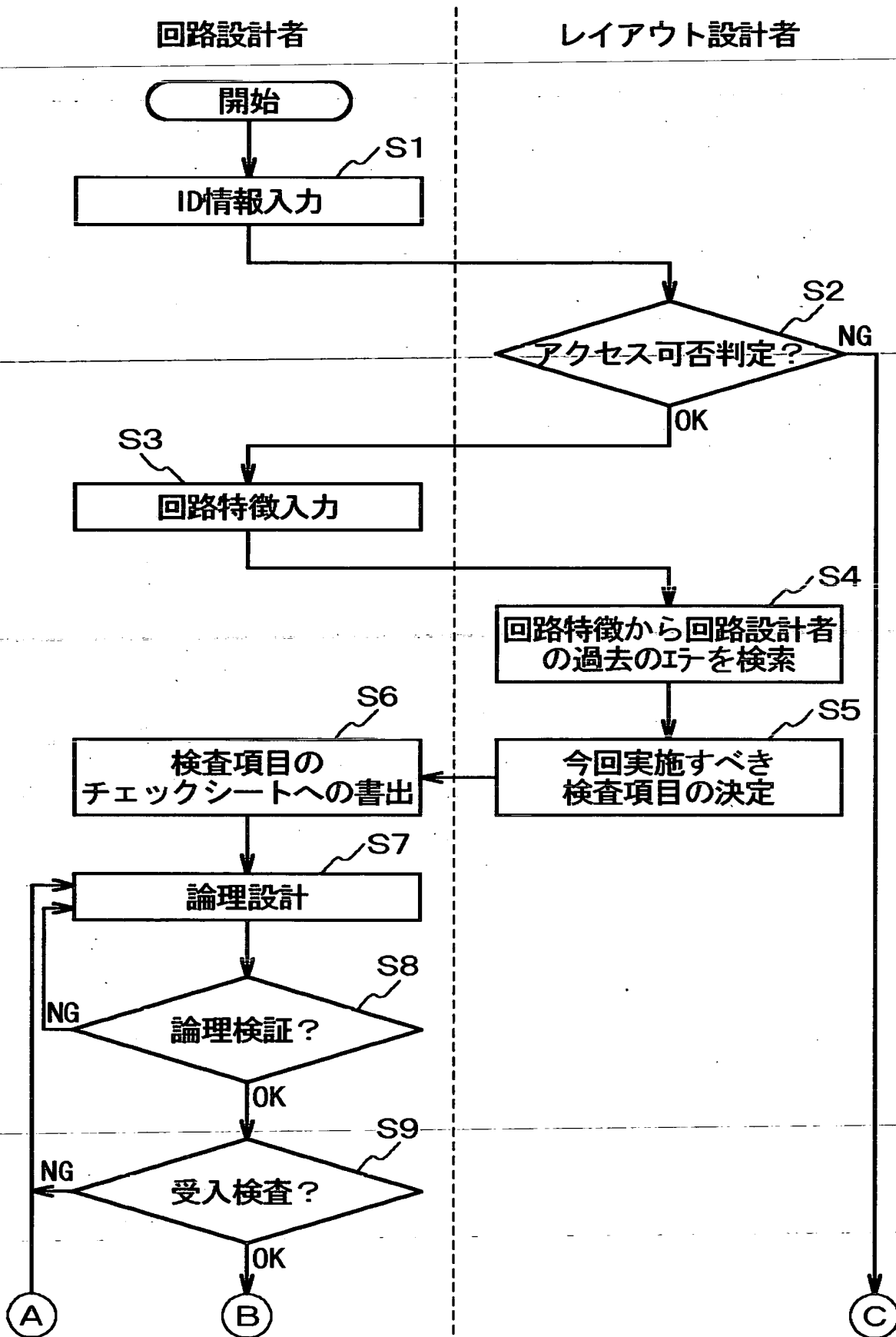
| ID | 回路特徴 | | | | 検査項目実施履歴 | | | | | | |
|-----------------------|-------|----------|--------------|-------|---------------|------|------------|---------|----------|-------------------|-----------|
| | テクノロジ | コンディション | 品種名 | パッケージ | フェーズ | 日付 | ネットリストチェック | パタンチェック | SCANチェック | Boundary SCANチェック | タイミングチェック |
| CMOS9HDCmos_3.3V_6E00 | | | 6595 6E00 | TBG | 受入 | 9/11 | Iラ-0 | Iラ-2 | 未実行 | 対象外 | Iラ-0 |
| | | | | | 再受入 | 9/14 | Iラ-0 | Iラ-0 | Iラ-0 | 対象外 | Iラ-0 |
| | | | | | バック アテ-ション | 9/18 | Iラ-0 | Iラ-0 | Iラ-0 | 対象外 | Iラ-0 |
| CB7 | | ttl_5V | 87543 | Q0GN | 受入 | 9/4 | 免除 | Iラ-0 | 対象外 | Iラ-0 | Iラ-0 |
| | | | | | バック アテ-ション | 9/11 | Iラ-0 | Iラ-0 | 対象外 | Iラ-0 | Iラ-0 |
| CB8 | | ttl_3.3V | 12345 | A8SI | 受入 | 8/3 | Iラ-0 | Iラ-0 | Iラ-0 | 対象外 | Iラ-0 |
| | | | | | バック アテ-ション | 8/7 | Iラ-0 | Iラ-0 | Iラ-0 | 対象外 | Iラ-0 |
| CMOS6 | | cmos_5V | 6562 4E99 | QFP | 受入 | 7/29 | Iラ-0 | Iラ-0 | 対象外 | 対象外 | Iラ-0 |
| | | | | | バック アテ-ション | 9/4 | Iラ-0 | Iラ-0 | 対象外 | 対象外 | Iラ-0 |
| : | : | : | : | : | : | : | : | : | : | : | : |

AAA

ABC

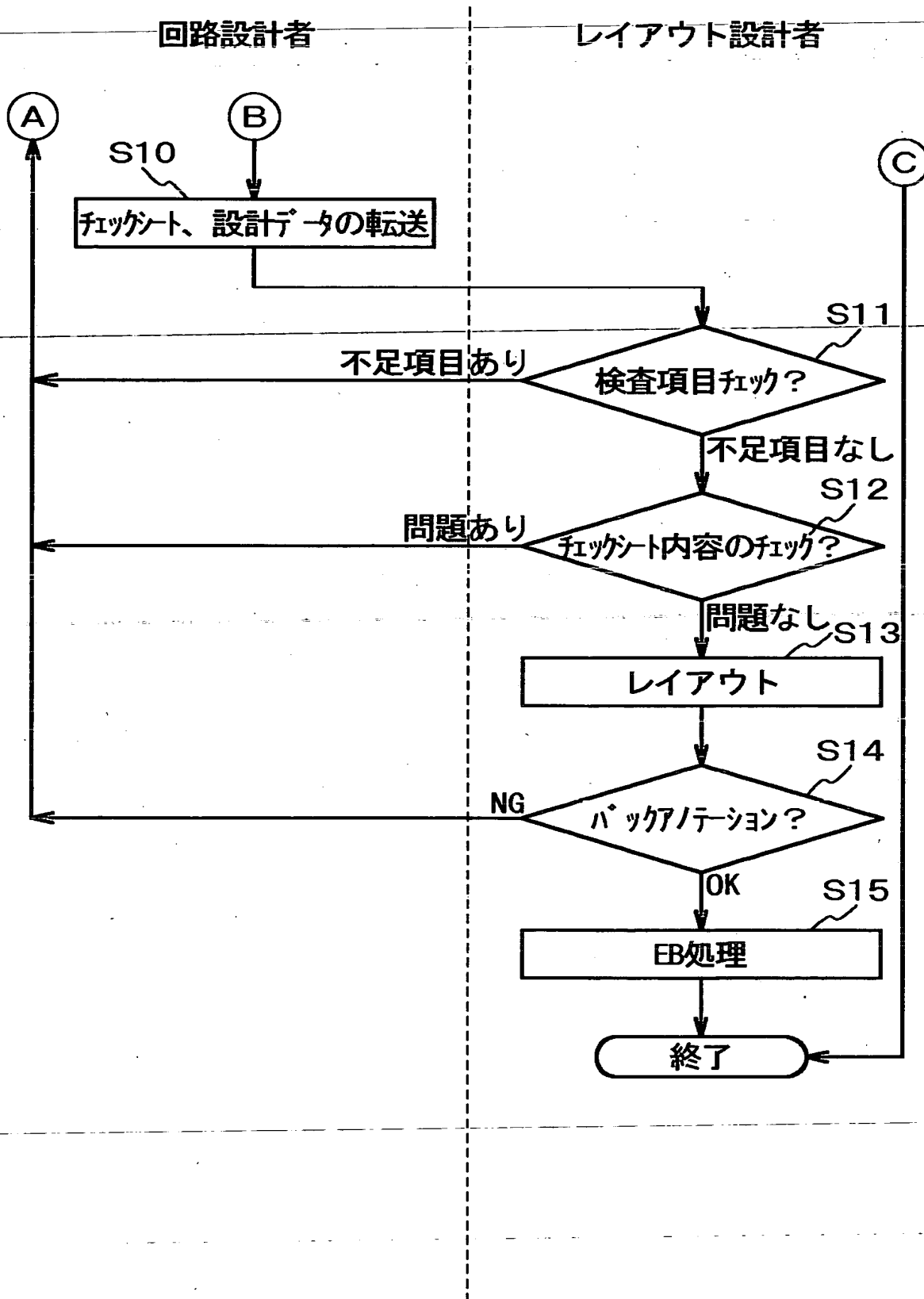
【図 5】

THIS PAGE BLANK (USPTO)



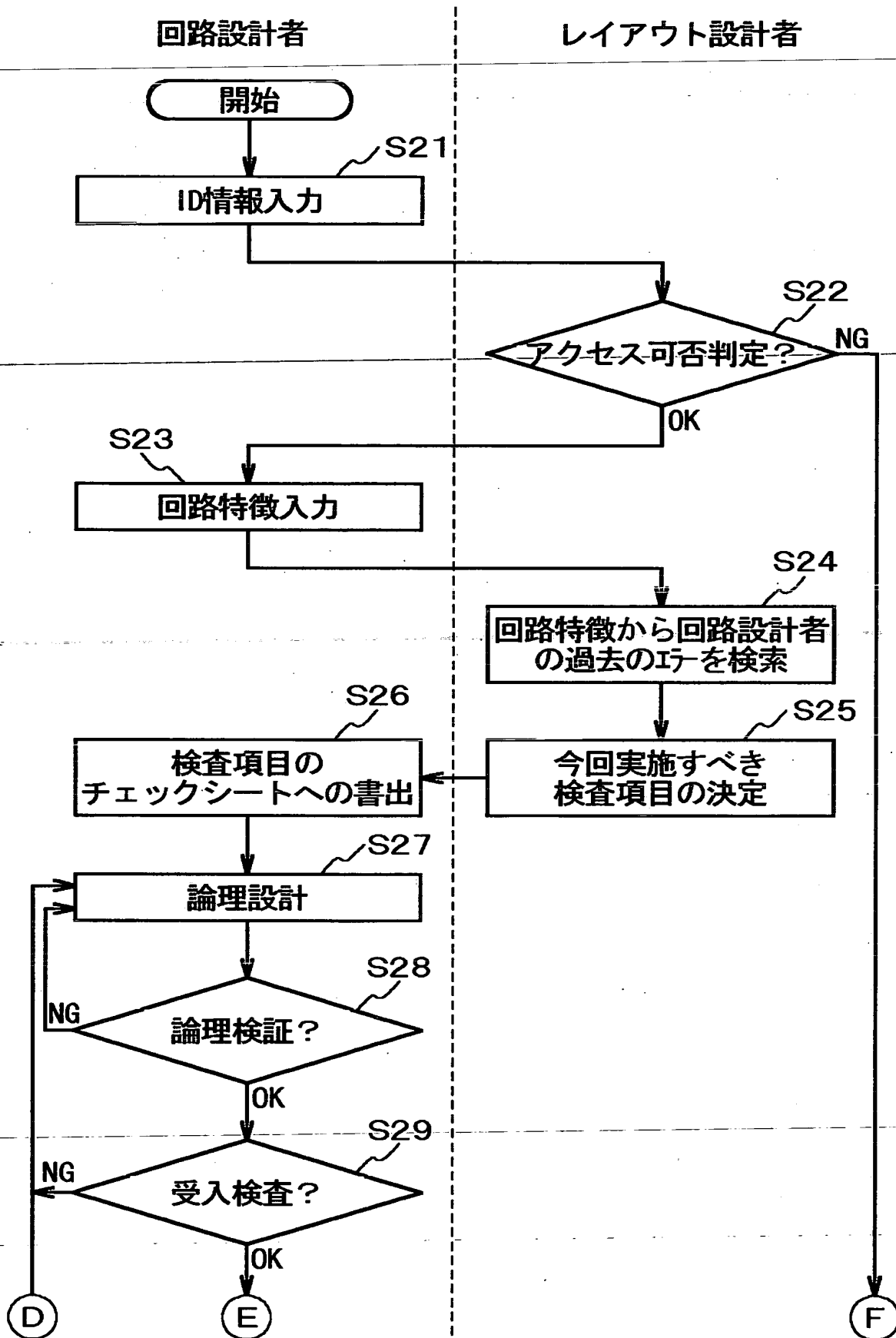
【図 6】

THIS PAGE BLANK (USPTO)



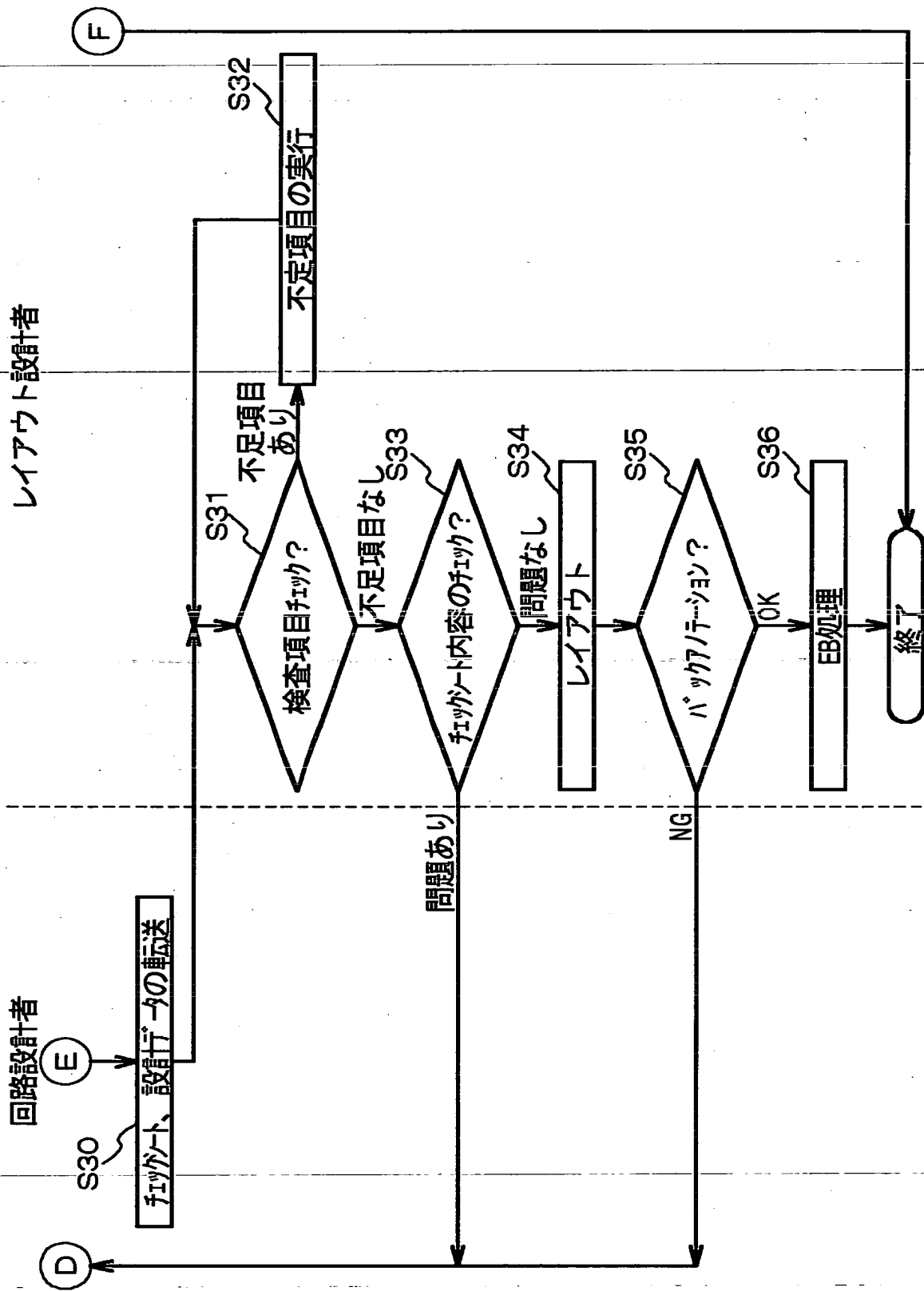
【図 7】

THIS PAGE BLANK (USPTO)



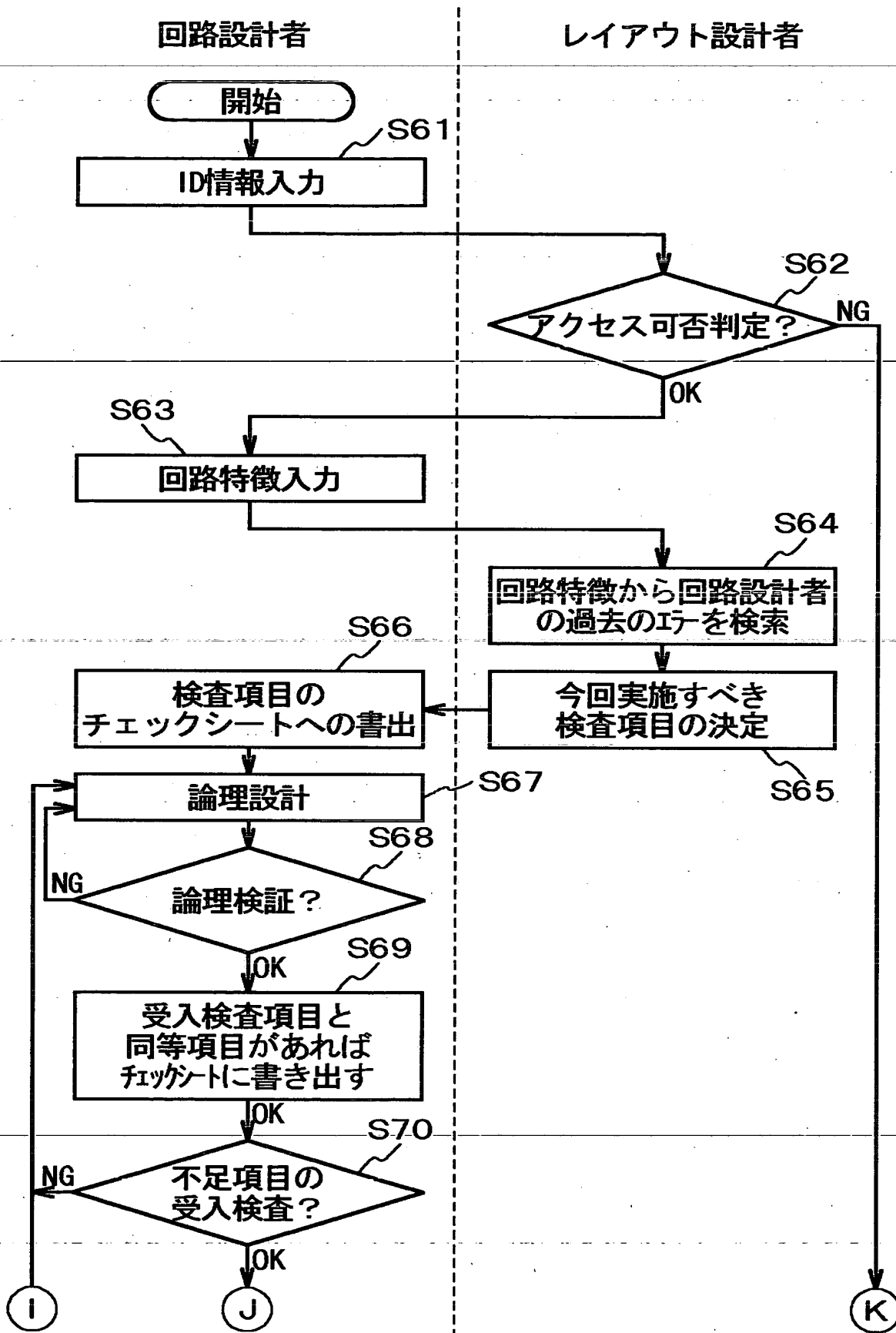
【図 8】

THIS PAGE BLANK (USPTO)



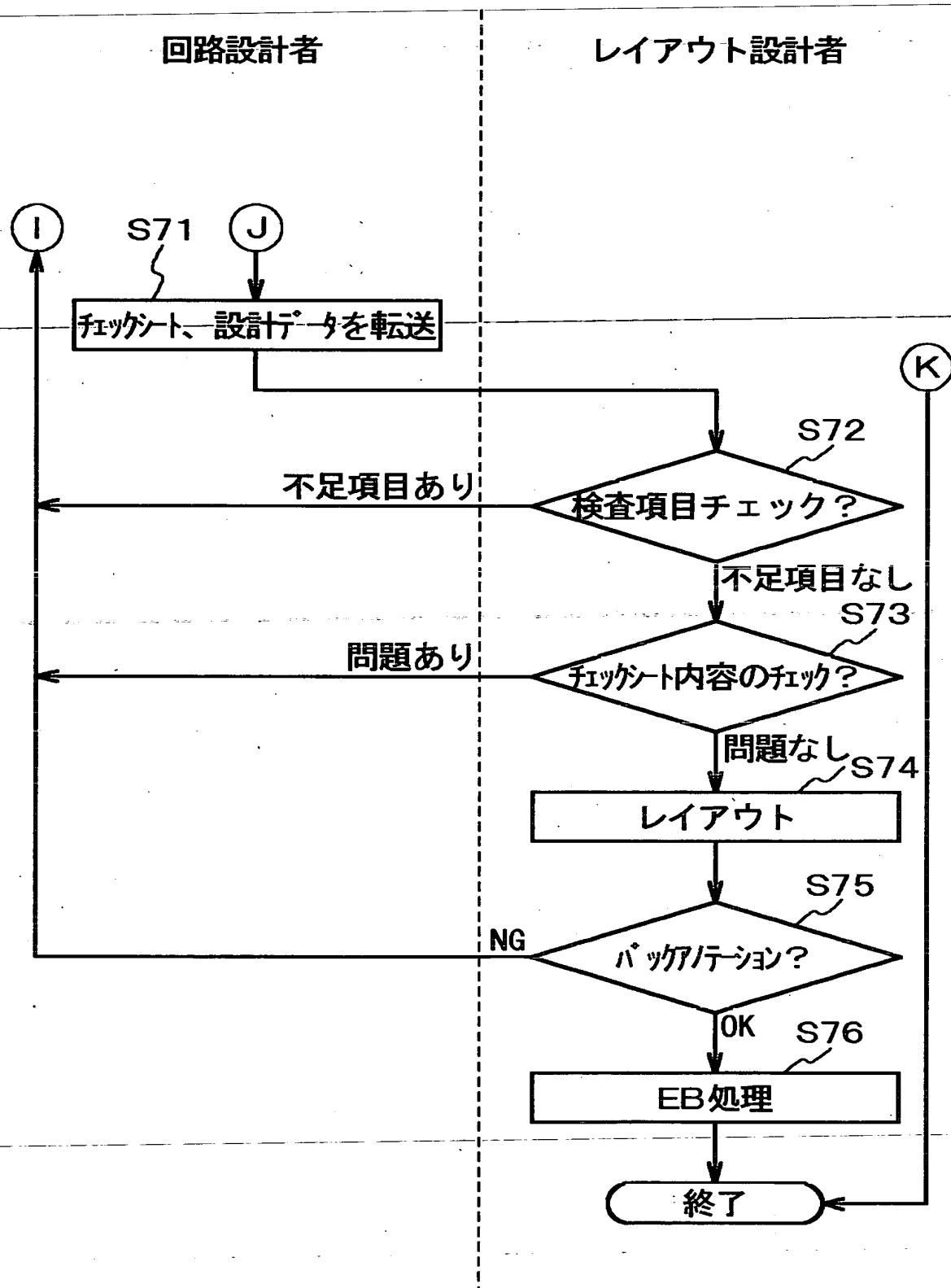
【図 9】

THIS PAGE BLANK (USPTO)

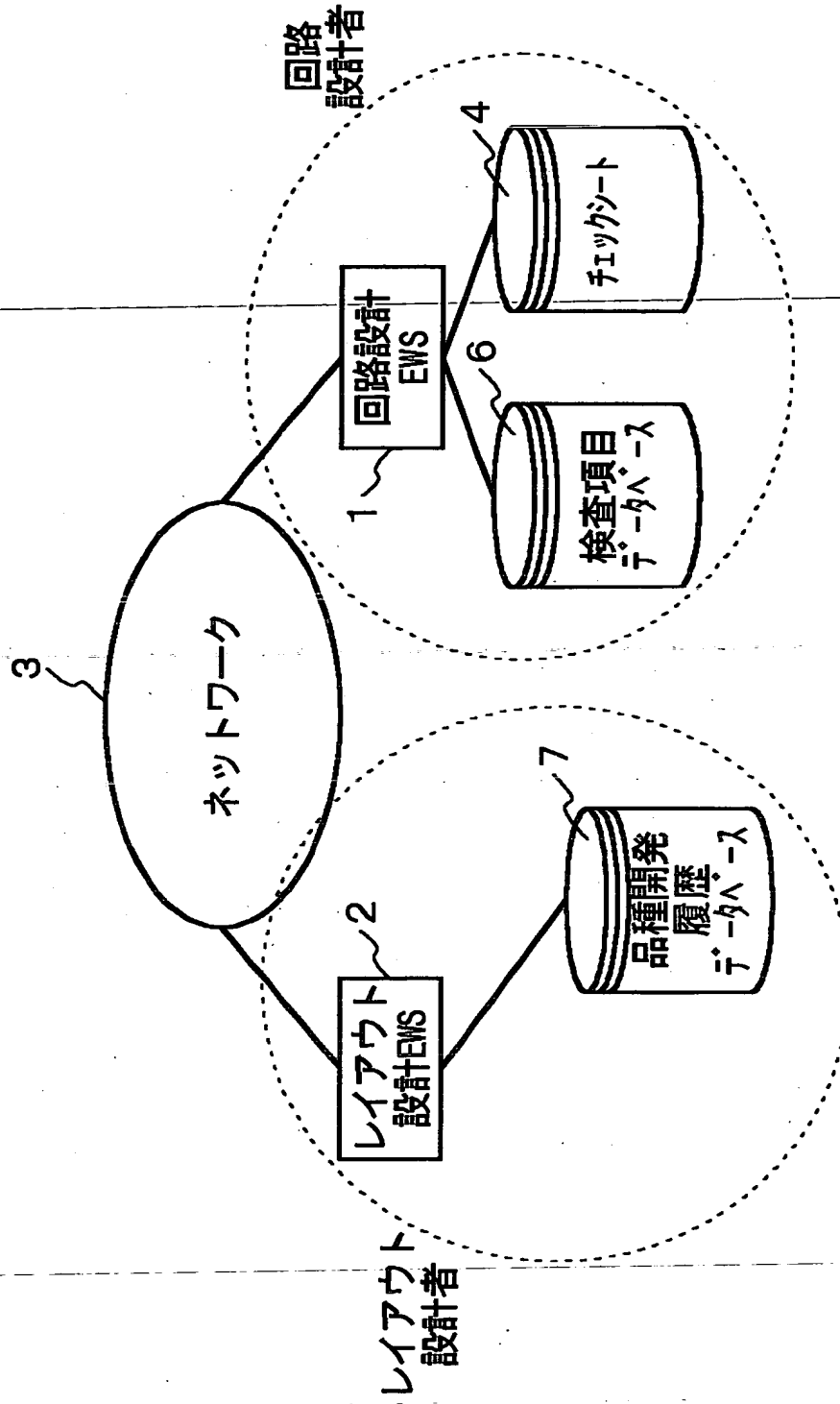


【図 1 0】

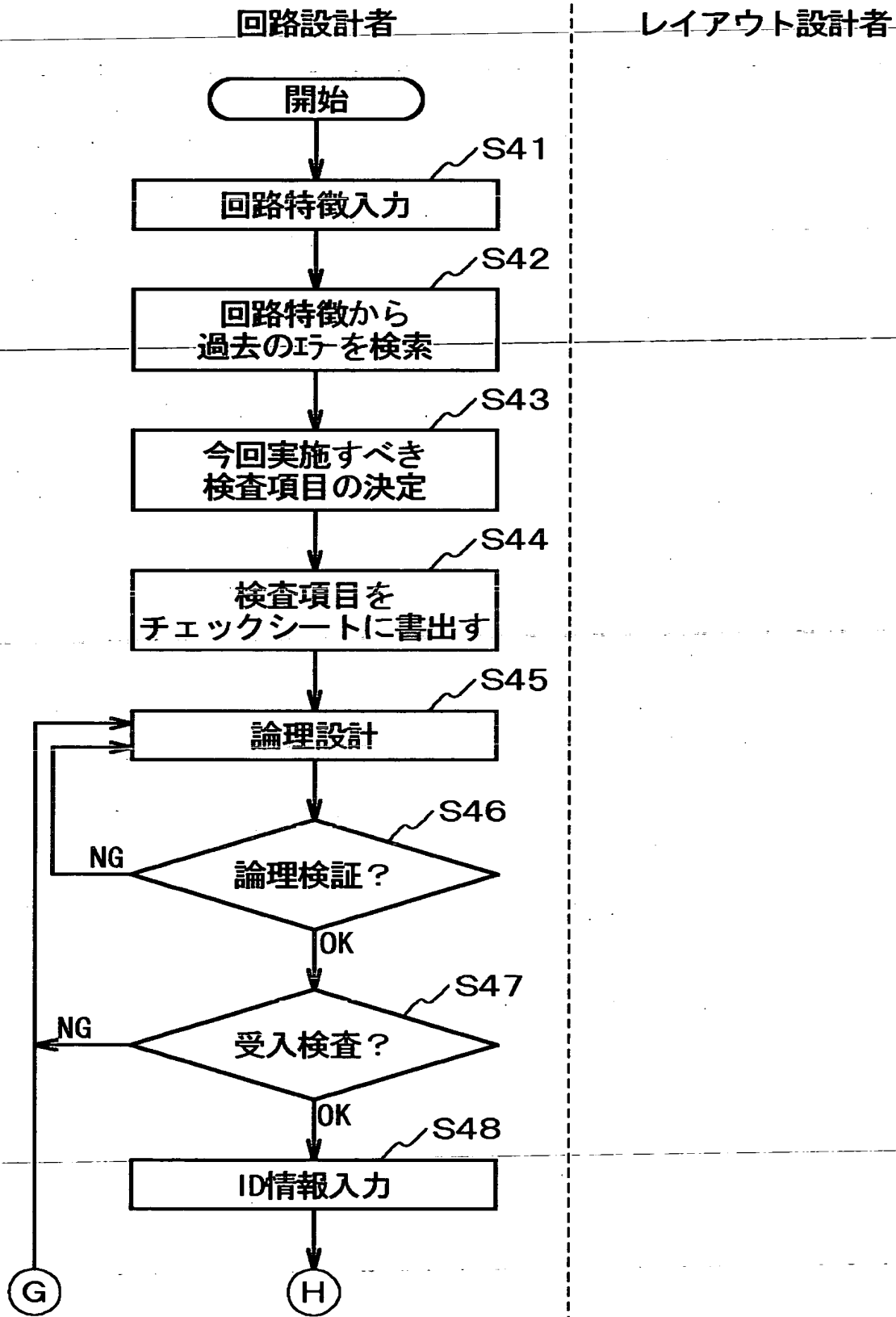
THIS PAGE BLANK (USPTO)



【図 11】

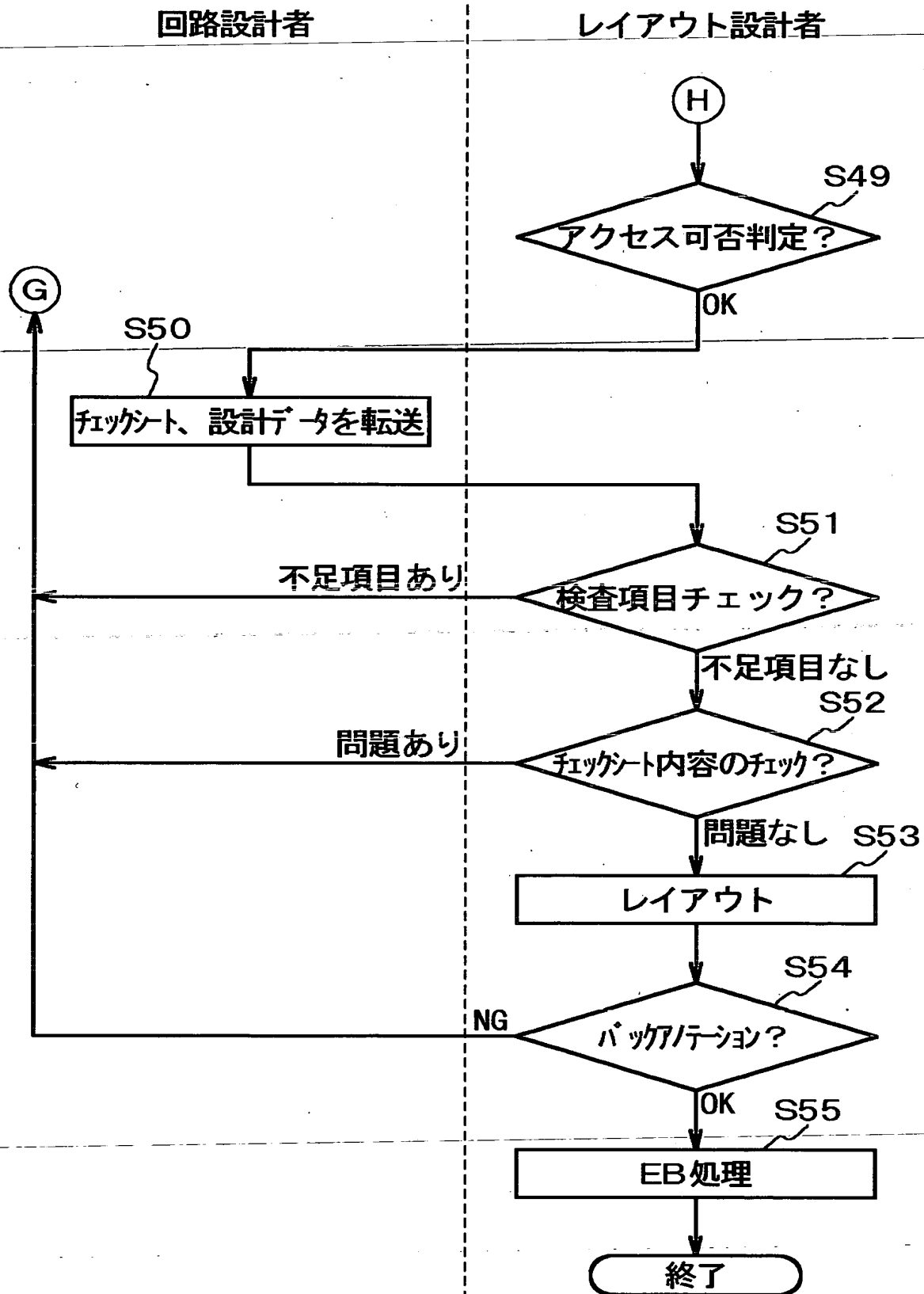


【図 12】

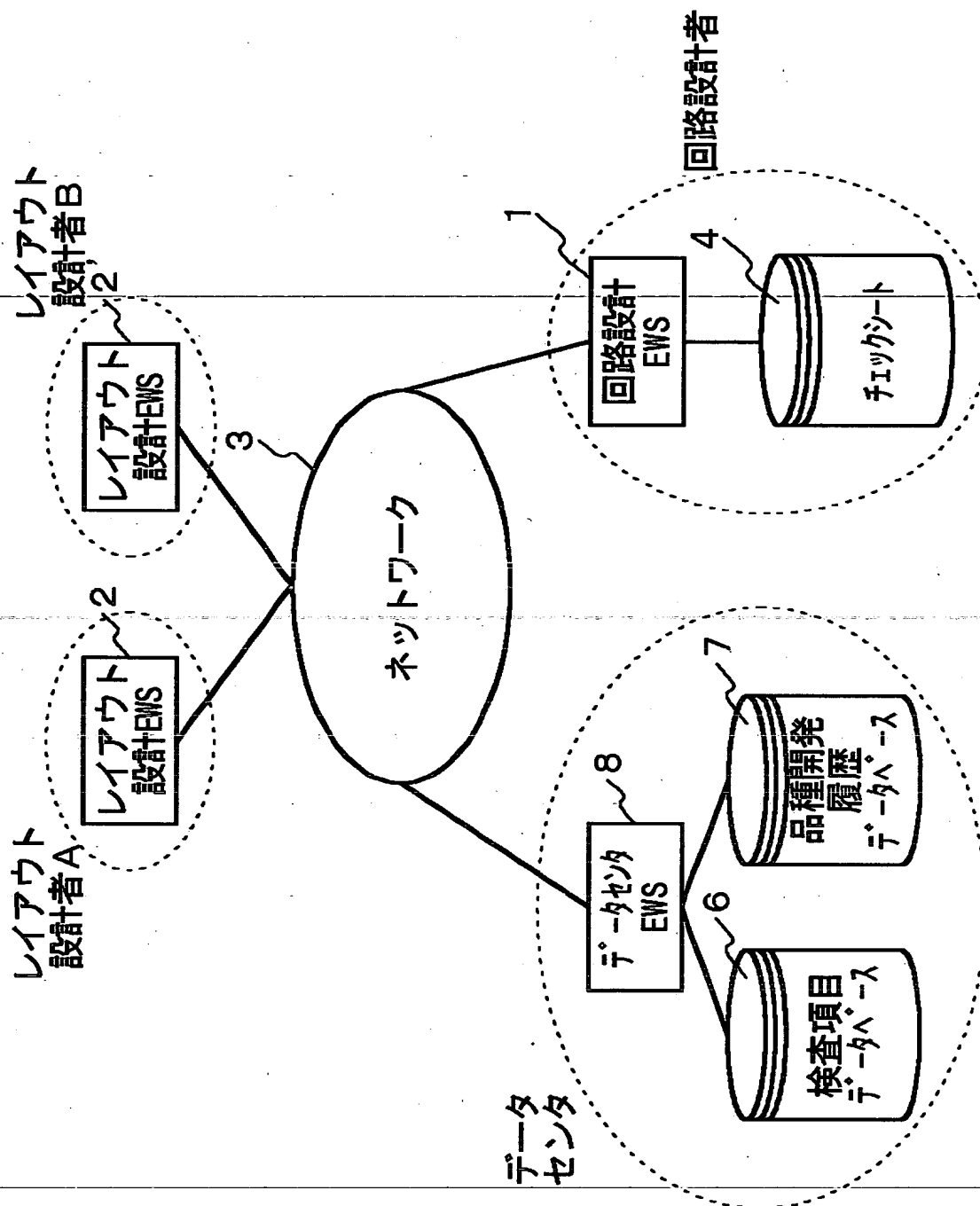


【図 1 3】

THIS PAGE BLANK (USPTO)



【図14】



【書類名】 要約書

【要約】

【課題】 設計不具合による再設計などのイタレーションを低減し、回路設計者およびレイアウト設計者の工数負担を低減する。

【解決手段】 受入検査の検査項目とを対応づける検査項目データベース 6 部と、回路設計部 1 とを含み、回路設計部 1 は対象回路の回路特徴に対応する対象検査項目を取得し、対象検査項目に基づいて対象半導体集積回路の論理設計をする。回路設計部 1 と検査項目の不合格の頻度とを対応づける品種開発履歴データベース 7 を更に含み、対象検査項目は不合格の頻度が少ない検査項目が免除される。レイアウト設計をするレイアウト設計部 2 を更に含み、回路設計部 1 は、論理設計された対象半導体集積回路の受入検査を実施し、対象半導体集積回路とともに受入検査の検査結果をレイアウト設計部 2 に提供する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000232036]

- | | |
|----------|------------------------|
| 1. 変更年月日 | 1990年 8月13日 |
| [変更理由] | 新規登録 |
| 住 所 | 神奈川県川崎市中原区小杉町1丁目403番53 |
| 氏 名 | 日本電気アイシーマイコンシステム株式会社 |
-
- | | |
|----------|------------------------|
| 2. 変更年月日 | 2001年 5月21日 |
| [変更理由] | 名称変更 |
| 住 所 | 神奈川県川崎市中原区小杉町1丁目403番53 |
| 氏 名 | エヌイーシーマイクロシステム株式会社 |